МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РФ

ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ «ЛИПЕЦКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

Факультет автоматизации и информатики

Кафедра автоматизированных систем управления

Практическая работа

по дисциплине «Архитектура вычислительных систем»

«Архитектура и логика функционирования ЭВМ. Работа с принципиальными электрическими схемами»

Студент АС-21-1 \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Станиславчук С. М.

(подпись, дата)

Руководитель

Уч. степень, уч. звание \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Болдырихин О. В.

(подпись, дата)

Липецк 2023

**Цель работы.**

Изучение общей архитектуры ЭВМ, основных типов элементов ЭВМ, принципов формирования шин данных, адреса и управления, логики формирования управляющих сигналов, адресов памяти и портов ввода-вывода.

**Задание кафедры**

Изучить описание микросхемы, являющейся вариантом работы, а также других микросхем, связанных с данной на принципиальной электрической схеме системы.

Установить связи данной микросхемы с другими элементами системы. Связи должны быть прослежены до конца в обе стороны: в центр системы — к процессору и генератору тактовых импульсов — и наружу — к периферии (устройствам ввода-вывода) или порту ввода-вывода. Разветвление связей, не несущее полезной информации в контексте роли основной микросхемы, отражать не следует.

Составить схему выделенных элементов с установленными связями между ними. Элементы и связи (сигналы) на схеме должны быть подписаны.

Составить таблицу с перечнем и описанием элементов.

Определить логические зависимости сигналов данной схемы по таблицам истинности и описаниям соответствующих микросхем. При определении этих зависимостей общие таблицы истинности микросхем должны быть конкретизированы в соответствии с их подключением в системе, т. е. в конкретизированных таблицах должны быть указаны сигналы, поступающие на входные выводы и снимаемые с выходных выводов. Где это возможно, т. е. при участии только устройств комбинационной логики в формировании сигналов, написать логические функции сигналов. По данным логическим функциям составить таблицы истинности сигналов, в которых выделить строки с активным уровнем сигнала. Для схем, где в формировании сигналов участвуют триггеры, в таблицах истинности сигналов должны быть выделены строки, соответствующие установке и снятию выходного сигнала, а в данных строках — столбцы, соответствующие сигналам, инициирующим установку и снятие выходных сигналов.

Для адресуемых элементов по логической функции сигнала выбора микросхемы (ВМ или CS, Crystal Select) определить границы их адресного пространства.

Составить описание схемы.

**Вариант 20(66).** DD4 процессора УЦО.

**Ход выполнения практики**

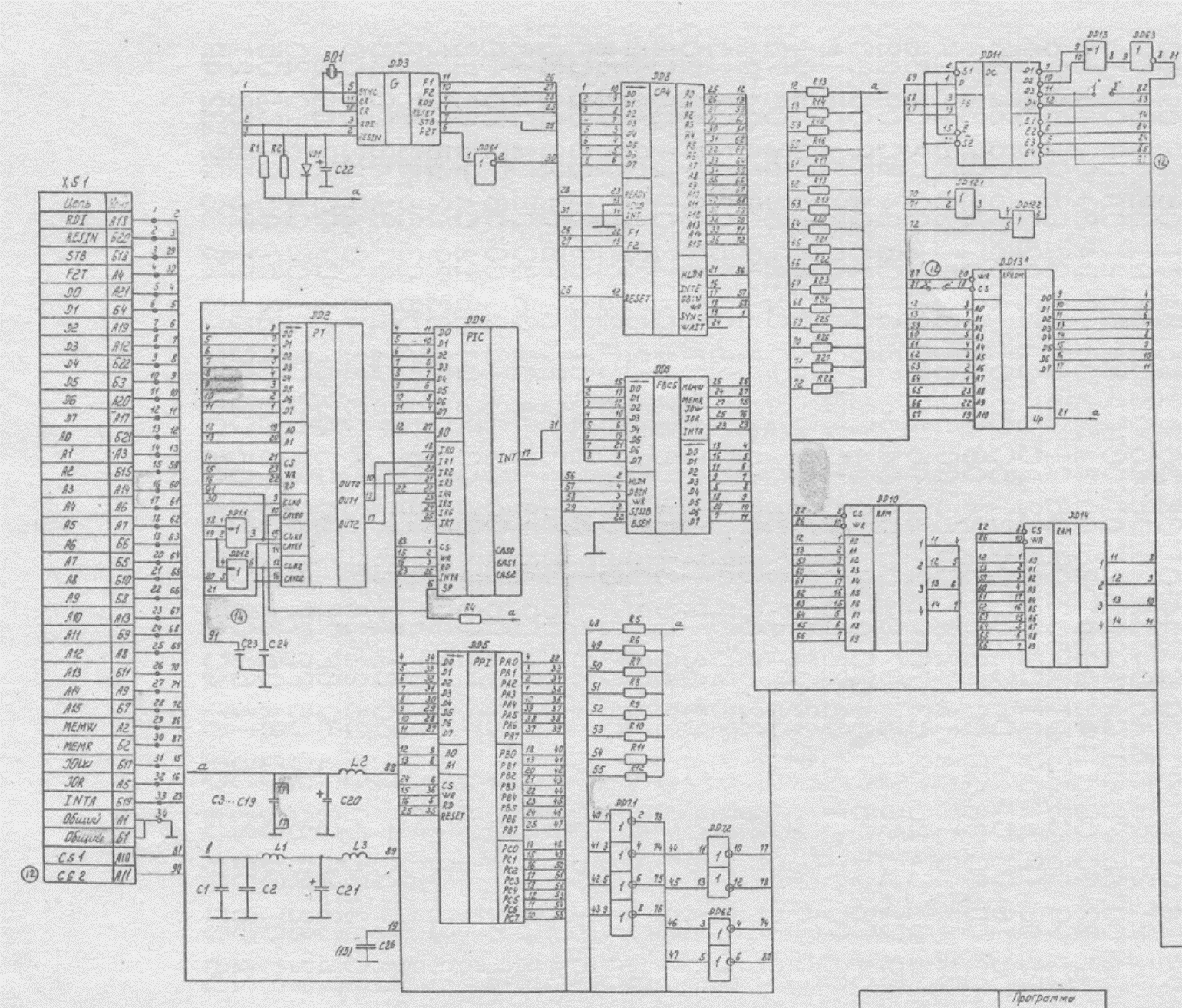


Рисунок 1 – Схема организации работы КР580ВН59

Таблица 1 – Перечень элементов схемы

|  |  |
| --- | --- |
| Элемент | Описание |
| DD4 | КР580ВН59 программируемый контроллер прерываний |
| DD8 | КР580ВМ80А параллельный 8 разрядный микропроцессор |
| DD2 | КР580ВИ53 программируемый таймер |
| DD11 | К555ИД4 сдвоенный дешифратор-мультиплексор 2-4 |
| DD12 | К555ЛН1 4 логических элемента «2ИЛИ» |
| DD9 | КР580ВК28 системный контроллер и шинный  формирователь |

Таблица 2 – Назначение выводов КР580ВН59

|  |  |  |  |
| --- | --- | --- | --- |
| Вывод | Обозначение | Тип вывода | Назначение |
| 1 | CS | Вход | Выбор микросхемы |
| 2 | WR | Вход | Запись информации |
| 3 | RD | Вход | Чтение информации |
| 4-11 | D7-D0 | Входы/выходы | Канал данных |
| 12, 13, 15 | CAS2-CAS0 | Входы/выходы | Шина каскадирования |
| 14 | GND | - | Общий |
| 16 | MS/SV | Вход | Выбор ведомой микросхемы |
| 17 | INT | Выход | Прерывание |
| 18-25 | IRD7-IRQ0 | Вход | Запрос прерывания |
| 26 | INTA | Вход | Подтверждение прерывания |
| 27 | A0 | Вход | Адрес 0-го разряда |
| 28 | UCC | - | Напряжение питания |

Таблица 3 – Назначение выводов КР580ВМ80А

|  |  |  |  |
| --- | --- | --- | --- |
| Вывод | Обозначение | Тип вывода | Назначение |
| 1, 25-27, 29-40 | A10, A0-A2, A3-A9, A15, A12-A14, A11 | Выходы | Канал адреса |
| 2 | GND | - | Общий |
| 3-10 | D4-D7, D3-D0 | Входы/выходы | Канал данных |
| 11 | UIO | - | Напряжение источника смещения - 5В |
| 12 | SR | Вход | Установка в исходное состояние |
| 13 | HLD | Вход | Захват |
| 14 | INT | Вход | Запрос прерывания |
| 15, 22 | C2, C1 | Входы | Тактовые сигналы |
| 16 | INTE | Выход | Разрешение прерывания |
| 17 | RC | Выход | Прием информации |
| 18 | TR | Выход | Выдача информации |
| 19 | SYN | Выход | Сигнал синхронизации |
| 20 | UCC1 | - | Напряжение питания +5В |
| 21 | HLDA | Выход | Подтверждение захвата |
| 23 | RDY | Вход | Сигнал "Готовность" |
| 24 | WI | Выход | Сигнал "Ожидание" |
| 28 | UCC2 | - | Напряжение питания +12В |

Таблица 4 – Назначение выводов КР580ВИ53

|  |  |
| --- | --- |
| Обозначение | Назначение |
| D0-D7 | Двунаправленная шина данных |
| WR# | Запись. По низкому уровню на этом входе микропроцессор записывает данные в ПТ |
| RD# | Чтение. Низкий уровень на этом входе информирует ПТ, что процессор хочет прочитать состояние счетчика |
| CS# | Выбор микросхемы. Низкий уровень инициирует обмен между процессором и ПТ. Не оказывает воздействия на работу счетчиков таймера |
| A0, A1 | Адресные входы. Позволяют выбрать один из трех счетчиков для операции чтения/записи состояния счетчиков |
| CLK0-CLK2 | Тактовые входы каждого из трех счетчиков |
| GATE0-GATE2 | Входы разрешения счетчиков. Уровень "1" - разрешение счета |
| OUT0-OUT2 | Выходы счетчиков |

Определение логических зависимостей и вывод логических функций сигналов

1. A0DD4 = P27DD4 = A0
2. IR1DD4 = P19DD4 = P13DD2 = OUT1DD2

Таблица 5 – Состояние КР580ВИ53

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A1 | A0 | RD# | WR# | CS# |
| 0 | 1 | 1 | 0 | 0 |

1. IR2DD4 = P20DD4 = P17DD2 = OUT2DD2

Таблица 6 – Состояние КР580ВИ53

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A1 | A0 | RD# | WR# | CS# |
| 1 | 0 | 1 | 0 | 0 |

1. IR3DD4 = P21DD4 = P10DD2 = OUT0DD2

Таблица 5 – Состояние КР580ВИ53

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| A1 | A0 | RD# | WR# | CS# |
| 0 | 0 | 1 | 0 | 0 |

1. WRDD4 = P2DD4 = P27DD9 = IOWDD9 **=** IOW
2. RDDD4 = P3DD4 = P25DD9 = IORDD9 **=** IOR
3. INTADD4 = P26DD4 = P23DD9 = INTADD9 **=** INTA
4. CSDD4 = P1DD4 = P12#DD11 = (P13DD11 ˅ P3DD11 ˅ P14#DD11 ˅ P15#DD11)# = P13DD11 ˄ P3#DD11 ˄ P14DD11 ˄ P15#DD11 = A10 ˄ A11# ˄ A12 ˄ P6#DD12.2 = A10 ˄ A11# ˄ A12 ˄ (P4DD12.2 ˅ P5DD12.2)# = A10 ˄ A11# ˄ A12 ˄ (P4DD12.2 ˅ P5DD12.2)# = A10 ˄ A11# ˄ A12 ˄ (P3DD12.1 ˅ A15)# = A10 ˄ A11# ˄ A12 ˄ (A13 ˅ A14˅ A15)#

Таким образом, шесть старших адресных сигналов процессора формируют сигнал выбора.

Таблица 6 – Таблица истинности сигнала выбора микросхемы

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A15 | A14 | A13 | A12 | A11 | A10 | A9 | A8 | CS#DD4 |
| 0 | 0 | 0 | 0 | 1 | 0 | - | - | 0 |

**Описание схемы**

Устройство, к которому в данный момент обращается микропроцессор, определяется кодом, выставленным микропроцессором на адресную шину (разряды с А10 по А15) и поступающим на дешифратор выбора устройства. С соответствующего выхода дешифратора выдается разрешающий сигнал, поступающий на вход CS того устройства, к которому обращается микропроцессор.

Нулевой канал таймера DD2 служит для формирования и выдачи временных интервалов, синхронизирующих работу блока индикации. На входы каналов 1 и 2 поступают входные сигналы «+СЧ», «-СЧ». Микропроцессор периодически опрашивает содержимое счетчиков каналов 1 и 2 и записывает в соответствующие ячейки ОЗУ.

При переполнении счетчиков каналов 1 и 2 сигналы переполнения поступают на входы прерываний контроллера прерываний DD4, с выхода которого выдается сигнал INT. По нему прерывается выполнение текущей программы и микропроцессор переходит на выполнение программы обработки соответствующего прерывания.

Микросхема КР580ВН59 программируемый контроллер прерываний (ПКП), обслуживает до восьми запросов на прерывание микропроцессора, поступающих от внешних устройств

Микросхема позволяет сократить средства программного обеспечения и реальные затраты времени при выполнении прерываний в системах с приоритетами многих уровней Алгоритм задания приоритета устанавливается программным путем Приоритеты, закрепленные за внешними устройствами, могут быть изменены в процессе выполнения программ.

В микросхеме предусмотрена возможность расширения числа обслуживаемых запросов до 64 путем каскадного соединения микросхем ПКП.